

PAT-NO: JP362105446A
DOCUMENT-IDENTIFIER: JP 62105446 A
TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE
PUBN-DATE: May 15, 1987

INVENTOR-INFORMATION:

NAME	COUNTRY
NAEMURA, JUNICHI	
TANAKA, HIROSHI	
KAWANAMI, NORIYUKI	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SHARP CORP	N/A

APPL-NO: JP60246507
APPL-DATE: October 31, 1985

INT-CL (IPC): H01L021/78 , B28D005/00

US-CL-CURRENT: 438/464

ABSTRACT:

PURPOSE: To avoid the cracking of semiconductor crystalline substrate improving the yield thereof by a method wherein semiconductor substrate is half-diced to form a mesa type structure in the cleavage direction of the semiconductor crystalline substrate.

CONSTITUTION: Assuming the facial angle of a semiconductor to be 100 face, dicing lines 10 are formed within the range making an oblique angle of

$2^{\circ} \sim 20^{\circ}$ in the easily cracking cleavage direction 8 and the other cleavage direction 9 rectangular to the direction 8. The cracking ratio of semiconductor crystalline substrate is culminated because of the deflection angle θ of 0° coinciding with the easily cracking direction while being subject to the deflection angle θ of 45° , the substrate is most hardly cracked. On the other hand, when the semiconductor substrate is divided into individual chip, the favorable chip shape can be assured subject to the deflection angle θ of 0° in the easily cracking direction coinciding with the chip dividing direction. When the deflection angle θ is $2^{\circ} \sim 20^{\circ}$, the movement of semiconductor crystalline substrate and the resultant improvement of yield can be assured without deteriorating the chip shape.

COPYRIGHT: (C)1987,JPO&Japio

⑫ 公開特許公報(A)

昭62-105446

⑪ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)5月15日

H 01 L 21/78
B 28 D 5/00A-7376-5F
A-7197-3C

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 半導体装置の製造方法

⑮ 特 願 昭60-246507

⑯ 出 願 昭60(1985)10月31日

⑰ 発 明 者 苗 村 純 一 大阪市阿倍野区長池町22番22号 シャープ株式会社内
 ⑱ 発 明 者 田 中 博 大阪市阿倍野区長池町22番22号 シャープ株式会社内
 ⑲ 発 明 者 川 浪 法 行 大阪市阿倍野区長池町22番22号 シャープ株式会社内
 ⑳ 出 願 人 シャープ株式会社 大阪市阿倍野区長池町22番22号
 ㉑ 代 理 人 弁理士 杉山 毅 至 外1名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

1. メサ型構造を有する半導体装置の製造方法において、メサ型構造形成のため半導体結晶基板をハーフダイスするに際し、前記半導体結晶基板のへき開方向に対し、 2° 乃至 20° ずらせハーフダイシングすることを特徴とする半導体^{装置}の製造方法。

3. 発明の詳細な説明

<産業上の利用分野>

本発明は、メサ型構造を有する半導体装置の製造方法に関するものである。

<発明の概要>

メサ型構造をもつトランジスタ、ダイオード、発光ダイオード等の半導体装置の製造工程において、メサ型構造形成のため半導体結晶基板にダイシングによる横細幅の溝を入れてハーフダイスする際、その方向を基板の割れ易いへき開方向から

2° 〜 20° ずらせることにより、基板のワレを改善するとともに、この後、基板をスクライプ及びブレードによってチップ化する際においても良好な形のチップが得られるようにしたものである。

<発明の背景>

Si, GaAs, GaAsP, GaP, GaAlAs等の半導体結晶基板に、拡散又はエピタキシャル成長によってPN接合を形成し、P層及びN層の必要な個所に電極を形成する。そして、個々のチップに分割される前に電気的、光学的特性の測定を行ない、不良を判定する。この測定のため、選択拡散もしくはメサ型構造を形成し、基板上のチップ相当部は電気的に分離してかつ基板自体はバラバラにならないようにすることが必要である。本発明は半導体結晶基板にメサ型構造を形成するものに係る。

第3図にPN接合及び電極形成後の半導体結晶基板を示している。1はP層電極、2はP層、3はN層、4はN層電極である。この半導体結晶基板にハーフダイスを行ない、第4図のように基板

の厚みの半分近辺の深さまで極細幅の溝5を入れる。これにより半導体結晶基板自体が分割されることなく、個々のチップ相当部が電気的に分離されることになる。以上の過程を経て、基板上の個々のチップ相当部の電気的、光学的特性を測定し、良品、不良品の判定を行ない不良品に印等をつけこれらを区別できるようにする。

次に、第5図に示すように、スクライプ法によりダイシングライン(溝5のライン)と一致するように半導体結晶基板の裏面からダイヤモンドツールでスクライプライン6を形成する。この後、ブレードにより半導体結晶基板に割る力を加え、各チップに分割する。チップに分割したときの様子を第6図に示す。7は上記によって分割されたチップである。

<従来の技術>

上述のような半導体装置の製造方法にあって、従来は、半導体結晶の面方位を100面とした場合、第7図のように基板の割れ易い<011>のへき開方向8及び<011>のへき開方向9とダ

(3)

化の分割に際し、へき開方向に逆ってスクライプラインに沿って割れるきっかけの方が強く、へき開方向からずれているものの良好なチップ形状のものが得られる。また、ダイシングラインがへき開方向からずれていることにより基板のワレは改善され、歩留を向上させることとなる。

<実施例>

第1図に本発明の一実施例を示す。本例においても半導体結晶の面方位は第7図と同様100面とする。ダイシングライン10は基板の割れ易い<011>のへき開方向8及び<011>のへき開方向9に対して2~20°の範囲で形成される。

今、ダイシングライン10の方向と上記のへき開方向8、9のなす角度を θ として、半導体結晶基板の割れ率、チップ形状不良率の関係を示すと第2図のようになった。前者は、ダイシング溝形成の工程からチップ分割工程までの半導体結晶基板の割れ率である。

割れ率は、ずれ角 θ が0°のとき割れ易い方向と一致するので最も高い。ずれ角 θ が45°のときは

(5)

ダイシングライン10(前記溝5に相当)を一致させてハーフダイスを行なっている。

<発明が解決しようとする問題点>

上記は、半導体結晶基板をチップに分割するに当って、ダイシングライン10、スクライプライン6が基板の割れ易いへき開方向8及び9と一致しているので、チップ7(第6図参照)として良好な形状のものが得られるという利点がある。

しかし、ダイシングの工程及び半導体結晶基板のチップ化する分割までの工程において、半導体結晶基板の割れが、製造工程上歩留悪化に著しい影響を及ぼしている。

本発明はこのような従来の問題点を解決すべく考案されたものである。

<問題点を解決するための手段>

メサ型構造形成のため半導体結晶基板をハーフダイスするに際し、半導体結晶基板のへき開方向に対し、2~20°ずらせてハーフダイシングする。

<作 用>

へき開方向に対し2~20°の範囲では、チップ

(4)

最も割れにくい現象を呈する。一方、チップ化のため半導体結晶基板を各チップに分割する場合、ずれ角 θ が0°のとき基板の割れ易い方向とチップとしての分割割れ方向が一致するので、チップとして良好な形状が得られる。ずれ角 θ が45°では、基板の割れ方向とチップ形成の割れるべき方向と一致しないため、チップ形状不良の発生率が高くなる。ちなみに、チップ形状不良は第8図(a)(b)のようであり、点線部11が異状な割れ方をしたことを示している。

ところで、第2図から明らかなように、ずれ角 θ は0°より少しずらしてもある角度までは、チップ形状不良率はあまり増加せず、ある角度から急激に増加することがわかる。ずれ角 θ が0°以上において、正常な形状のチップを得るには、へき開方向8又は9に逆ってスクライプライン10に沿って割れる必要があるが、ずれ角 θ が2~20°の範囲では、スクライプライン10に沿って割れるきっかけの方が強くこれに一致して割れるので、不良率もあまり増加しないものと解される。20

(6)

～45°ではへき開方向での割れの方が強く急激に不良率が増加することとなる。

ずれ角 θ が2～20°では半導体結晶基板の割れ率が低下すること明らかで、上述のようにチップ形を悪化させることなく、半導体結晶基板の割れの改善と、これによる歩留向上をはかることができる。なお、第2図には参考までに、半導体結晶基板の割れとチップ形状不良を積算した不良率も合わせて示している。

<発明の効果>

以上のように本発明によれば、チップ形状を悪化させることなく、かつ半導体結晶基板の割れを改善して歩留向上がはかれる有用な半導体装置の製造方法が提供できる。

4. 図面の簡単な説明

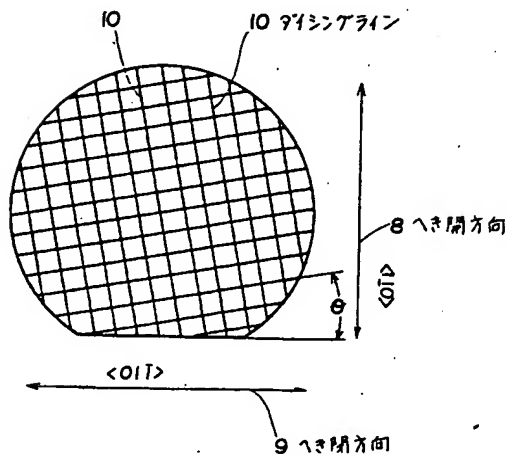
第1図は本発明の一実施例を示す半導体結晶基板の平面図、第2図は第1図のずれ角と不良率の関係を示すグラフ、第3図乃至第6図は製造工程例を示す断面図、第7図は従来例を示す半導体結晶基板の平面図、第8図(a)(b)は従来のチップ形状

不良例を示す断面図である。

7, 8…へき開方向、10…ダイシングライン。

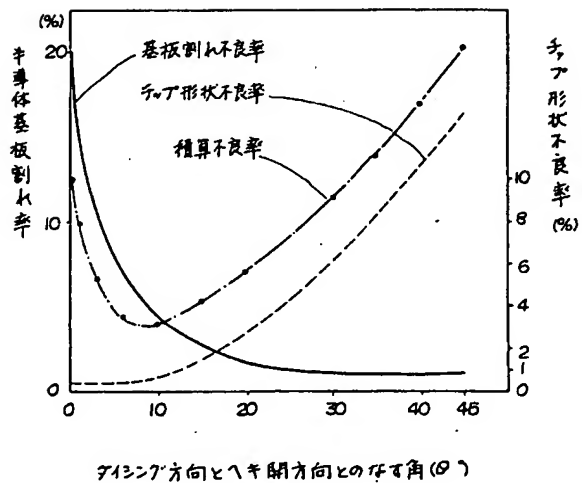
代理人 弁理士 福 士 愛 彦 (他2名)

(7)

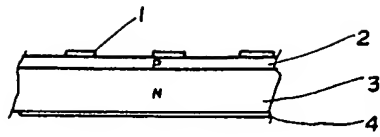


第1図

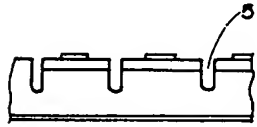
(8)



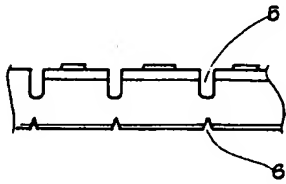
第2図



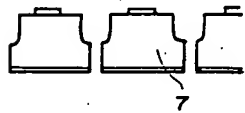
第 3 図



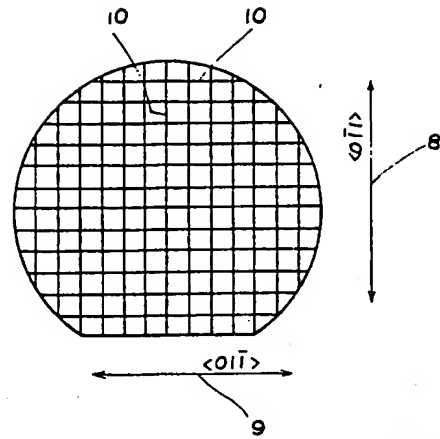
第 4 図



第 5 図



第 6 図



第 7 図



第 8 図